

NSD-2101

ピエゾモーター用ドライバー ASIC

SQL-RV SQUIGGLE® モーター及びUTAF™ に適合



1 概要

NSD-2101は低電圧動作のSQUIGGLE® RVモーター及びUTAF用に開発されたピエゾモータードライバーで、昇圧回路無しで直接電池駆動が出来ます。

電源電圧は2.3Vから5.5Vの範囲で動作し、I2Cインターフェースでモーターの制御を行います。

モーター制御方式は新開発の優れた方式で、温度変化によるピエゾモーターの特性変化に自動的に対応して駆動周波数を調整し、又モーター負荷の変化に対応して消費電力が最小になるよう駆動方法を変化させます。

更に駆動方形波の発振回路を内蔵しており、外部からのマスタークロック信号の供給は不要です。

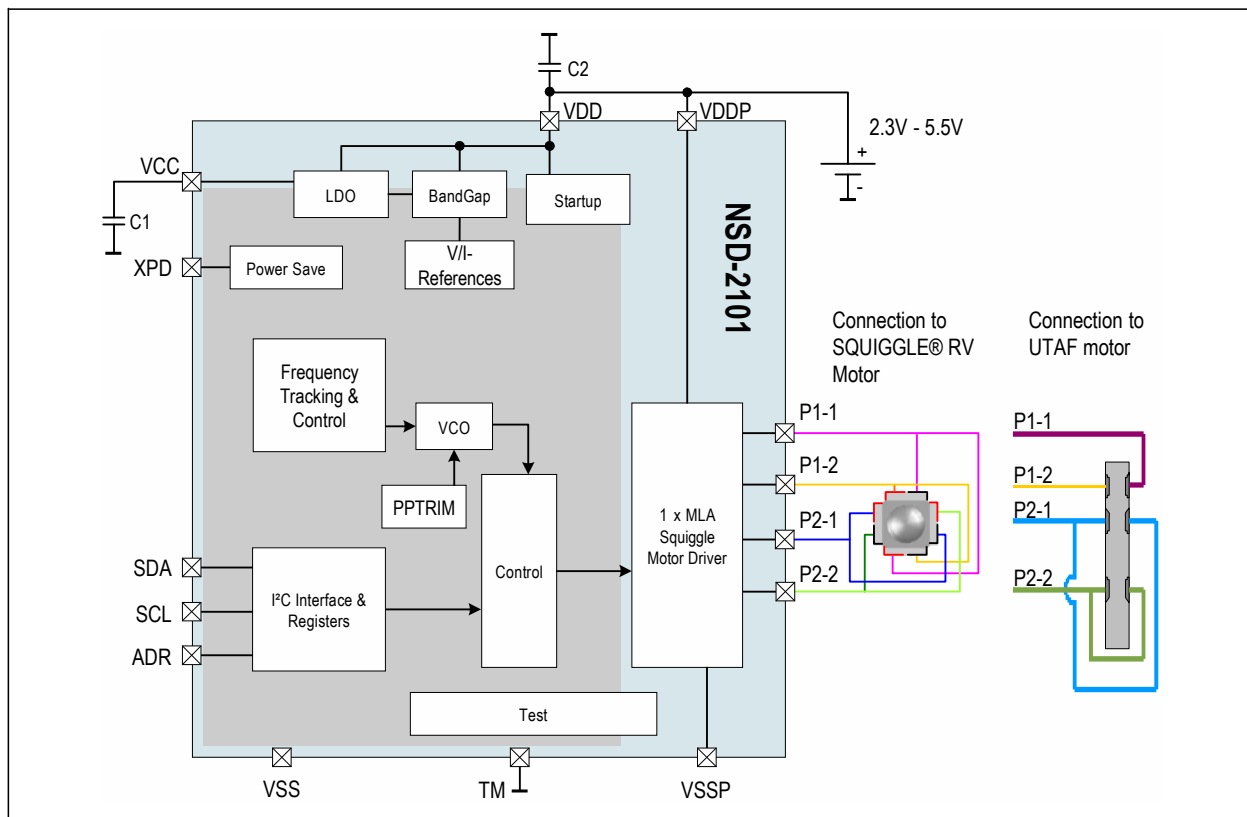
2 特長

- 直接電池駆動、超小型。
 - 電源電圧範囲: 2.3 to 5.5 VDC
 - 1.8 x 1.8 mm 4 x 4 ボールグリッドアレイ
または 4 x 4 mm 16-pin QFN (受注生産)
- 低消費電力。
 - 消費電力低減制御方式を採用。
 - 電力消費最低となるパワーダウンモードあり。
 - 自動周波数追尾維持のアイドルモードあり。
- 自動周波数追尾により温度変化、負荷変化に対応して最適動作を維持。
- 内臓発振回路を有し、外部クロック不要。
- I²C インターフェースによる直接制御。
- 動作パラメーター記憶用オンチップレジスター。

3 用途

SQL-RV-1.8 SQUIGGLE® RVピエゾモーター及びUTAF ピエゾモーター用ドライバー。

Figure 1. NSD-2101 ブロックダイアグラム

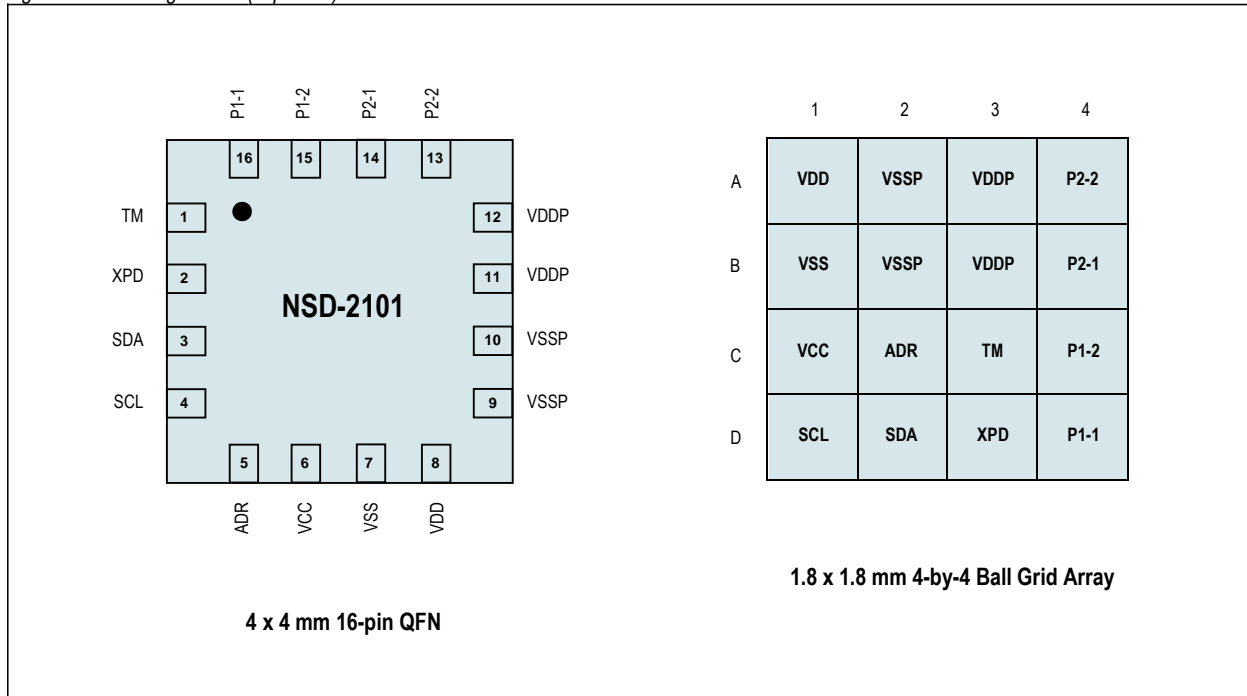


Contents

1 概説	1
2 特長	1
3 用途	1
4 ピン配置	3
4.1 ピン名称と動作	3
5 絶対最大定格	4
6 電気的特性	5
6.1 デジタル入出力特性	5
7 動作の詳細	6
7.1 出力ドライバ	6
7.2 消費電力低減制御	8
7.3 自動周波数追尾	9
7.4 インターフェース	9
7.5 レジスタ配置	10
7.6 コントロールレジスタ	10
7.7 ピリオドカウンタ	11
7.8 パルスカウンタ	11
7.9 パルス幅制御	12
7.10 位相制御	12
7.11 ピリオドオフセット	12
7.12 ハイブリッド・スピード・レジスタ	13
8 使用上の参考情報	14
8.1 SQL-RV-1.8 SQUIGGLE を駆動する場合	15
8.2 UTAF モーターを駆動する場合	17
8.3 その他のモーターを駆動する場合	17
9 外形寸法及び印字	18
10 発注時の詳細	21

4 ピン配置

Figure 2. Pin Assignments (Top View)



4.1 ピン名称と動作

Table 1. Pin Descriptions

Pin Name	Pin Number	Pin Type	Character	Description
TM	1	Digital input	Input	Test mode selection input; connected to VSS
XPD	2	Analog I/O		Shut down input, low active
SDA	3	Digital input / Digital output open drain	Input / Output	I ² C data IO
SCL	4		Input	I ² C clock
ADR	5	Digital input	Input	Address input for I ² C
VCC	6	Supply pad	Power	Internal LV Power Supply
VSS	7		GND	Signal Ground Analog
VDD	8		Power	Power Supply
VSSP	9		GND	Power Ground Drivers
VSSP	10		Power	Power Supply Driver
VDDP	11			Power Supply Driver
VDDP	12	Analog I/O	Output	Half Bridge Phase2 inverted
P2-2	13			Half Bridge Phase2
P2-1	14			Half Bridge Phase1 inverted
P1-2	15			Half Bridge Phase1
P1-1	16			

Note: SDA (Data IO) and SCL (Data clock) constitute an I²C interface. Both have open drain outputs.

5 絶対最大定格

絶対最大定格はICの破壊限界を示したもので、電気的特性を保証するものではありません。絶対最大定格を超えた状態では素子が破壊する可能性があります。

Table 2. 絶対最大定格

Symbol	Parameter	Min	Typ	Max	Units	Comments
V _{VDD}	Voltage at supply pin	-0.3		7	V	
V _{VDDP}	Voltage at supply pin for drivers	-0.3		7	V	
V _{VCC}	Voltage at low voltage supply pin	-0.3		5.0	V	Internal LV supply (VCC)
V _{VSSP}	Voltage at VSSP	-0.3		0.3	V	GND reference for drivers
V _{VSS}	Voltage at VSS	0		0	V	GND reference potential
V _{LV}	Voltage at ADR, SDA, SCL, XPD, TM	-0.3		7	V	
I _{scr}	Input current (latchup immunity)	-100		100	mA	Norm: JESD78
ESD	Electrostatic discharge	±1			kV	Norm: MIL 883 E method 3015. Human body model: R=1.5kΩ, C=100pF, measured and qualified only in QFN16 package.
P _{tot}	Total power dissipation			1	W	
R _{thja}	Thermal resistance QFN16 4x4mm	29.7	33	36.3	K/W	Multi-Layer JEDEC board
T _{strg}	Storage temperature	-40		150	°C	
T _{body}	Package body temperature			260	°C	Norm: IPC/JEDEC J-STD-020C. The reflow peak soldering temperature (body temperature) specified is in accordance with IPC/JEDEC J-STD-020C "Moisture/Reflow Sensitivity Classification for Non-Hermetic Solid State Surface Mount Devices". The lead finish for Pb-free leaded packages is "Matte Tin" (100% Sn).
	Humidity non-condensing	5		85	%	

6 電気的特性

Table 3. 動作条件

Symbol	Parameter	Conditions	Min	Typ	Max	Units
V _{VDD}	Voltage at VDD	Supply voltage (VDD/VDDP rise time is between 10μs and 10ms. Above 5.0V only half bridge mode should be used)	2.3		5.5	V
V _{VDDP}	Voltage at VDDP	Driver supply (VDD/VDDP rise time is between 10μs and 10ms. Above 5.0V only half bridge mode should be used)	2.3		5.5	V
V _{VCC}	Voltage at VCC	Internal LV supply	1.9		3.0	V
V _{VSSP}	Voltage at VSSP	GND reference for drivers	-0.1		0.1	V
V _{VSS}	Voltage at VSS	GND reference	0		0	V
V _{LV}	Voltage at SDA, SCL, XPD, TM		-0.3		5.5	V
T _{junc}	Junction temperature		-30		125	°C
P _{tot}	Total power dissipation	Total power dissipation needs to be less than 1W to keep junction temperature in specified range			1	W
I _{Pd}	Power-down current consumption	XPD=LOW, temp=27°C; No activity on I ² C			5	μA
I _{Sb}	Stand-by current consumption	XPD=HIGH, pulse generation is stopped			3.5	mA
I _{Nom}	Operating current consumption	Without output switching current			10	mA
I _{idle}	Idle mode current consumption	XPD=HIGH, temp=27°C, VCO powered down, no digital activity; mode set by I ² C, frequency trimming preserved			1.0	mA

6.1 デジタル入出力特性

Table 4. CMOS 入力: XPD, ADR, CLK

Symbol	Parameter	Conditions	Min	Typ	Max	Units
V _{IH}	High level input voltage		1.2		V _{VDD}	V
V _{IL}	Low level input voltage		V _{VSS}		0.3	V
I _{LEAK}	Input leakage current		-1		+1	μA
C _{IN}	Capacitive Load				15	pF

Table 5. CMOS I²C Interface: SDA, SCL

Symbol	Parameter	Conditions	Min	Typ	Max	Units
V _{IH}	High level input voltage		1.2		V _{VDD}	V
V _{IL}	Low level input voltage		V _{VSS}		0.3	V
I _{LEAK}	Input leakage current		-1		+1	μA
V _{OH}	High level output voltage	Depending on external pull-up resistor	V _{VDD} -0.5		V _{VDD}	V
V _{OL}	Low level output voltage	At 3mA output current			V _{VSS} +0.4	V
C _L	Capacitive load: SDA, SCL				50	pF
R _{PU}	External pull-up resistor: SDA, SCL	As defined by I ² C spec	1.2	6.0	7.1	kΩ
SCL	I ² C write frequency	Maximum clock frequency to write data			400	kHz

7 動作の詳細

Figure 1 にブロック図を示しました。

- 電源入力
- LDO 及びバイパスコンデンサー
- I²C インターフェース
- レジスター
- 発振器
- 自動周波数追尾
- フルブリッジドライバー

入力電圧はフルブリッジドライバーに直接供給されます。各ピエゾ素子には最大で電源電圧の2倍(2 x VDD)まで印加されますが、実際には速度制御回路により VDD と 2 x VDD の中間の電圧が印加されるように制御されます。この制御は I²C によりデューティサイクル (パルス幅) 制御と共に行われ、速度が遅い場合には消費電力が下がるように調整されます。

I²C レジスターでは50 kHz から 200 kHz の駆動周波数初期値がモーター種類ごとに記録されます。更に、駆動方向、駆動パルス数、なども記録されます。XPD 入力によりパワーダウンモードが設定できます。

7.1 出力ドライバー

出力ドライバーは最大電圧と最小電圧の2値を取る方形波による駆動で、60nFまでの容量性負荷に対応可能です。この動作を2組のフルブリッジ回路で構成しています。パワーダウンモードでは出力ドライバーは接地されます。モーターを停止した場合も接地されます。

Table 6. 出力ドライバー特性

Symbol	Parameter	Conditions	Min	Typ	Max	Units
f _{tr}	Rise/fall time from 0.23V to 2.07V and vice versa	CLOAD 50nF, VDD=2.3V ¹	0.08		0.8	μs
f _{tf}						
CLOAD	Load capacitance		10		60	nF
I _{lim}	Current limit for driver outputs ²		1000		1600	mA
f _{DFR}	Drive frequency range ³		50		200	kHz
f _{DC}	Switching frequency duty cycle		1		50	%
t _{DT}	Dead time (additional)	VCO clock cycles ⁴	2	4	9	
f _{PS}	Phase shift		-160		+90	deg
f _{PSE}	Phase shift error				±3	deg

1. Measured at 10% to 90% of minimum VDD=2.3V. Maximum with 4 clocks dead-time.
2. Current limit is valid for full bridge and half bridge configuration. Due to the dynamic behavior of the output driver the maximum current limit can not be reached under all conditions. Device can only be used for direct motor drive.
3. For this frequency range, frequency tracking is implemented.
4. Error of dead time is maximum +1 VCO clock cycle.

Figure 3. モーター駆動方式 (SQUIGGLE® RV Motorの場合)

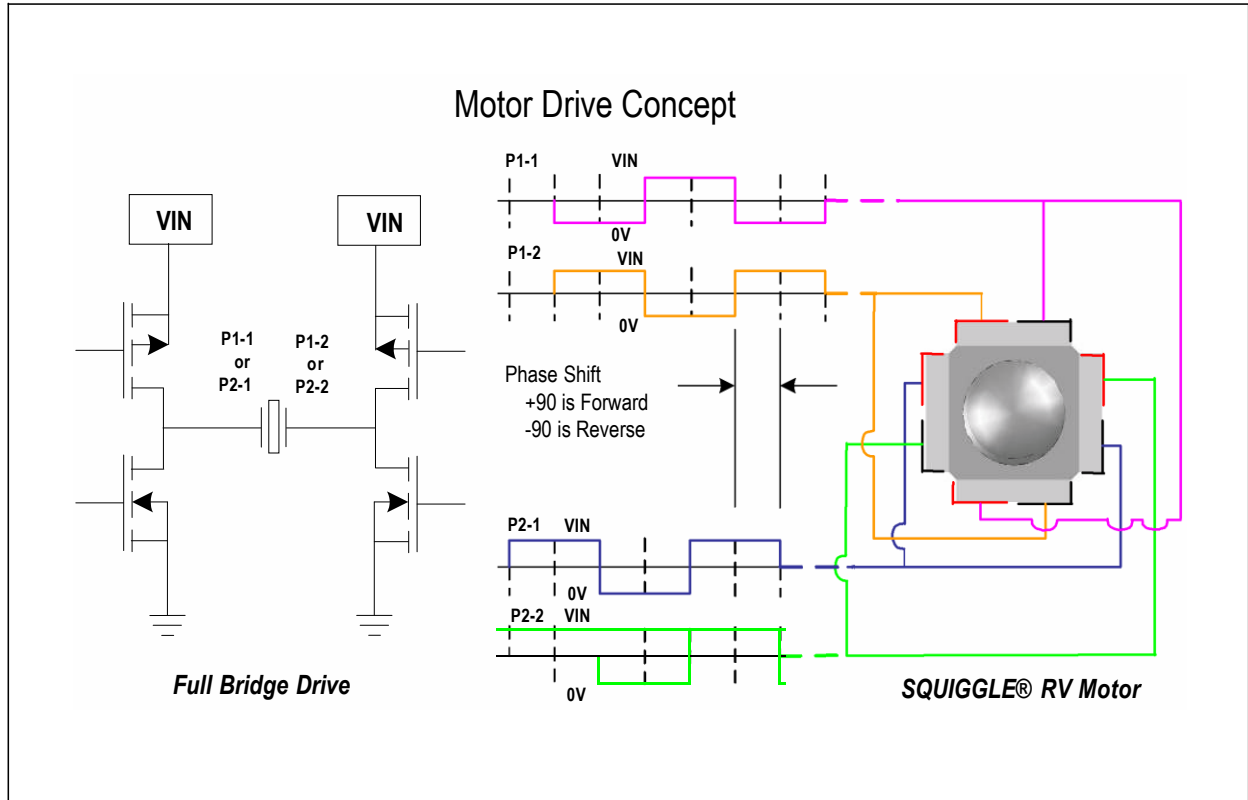
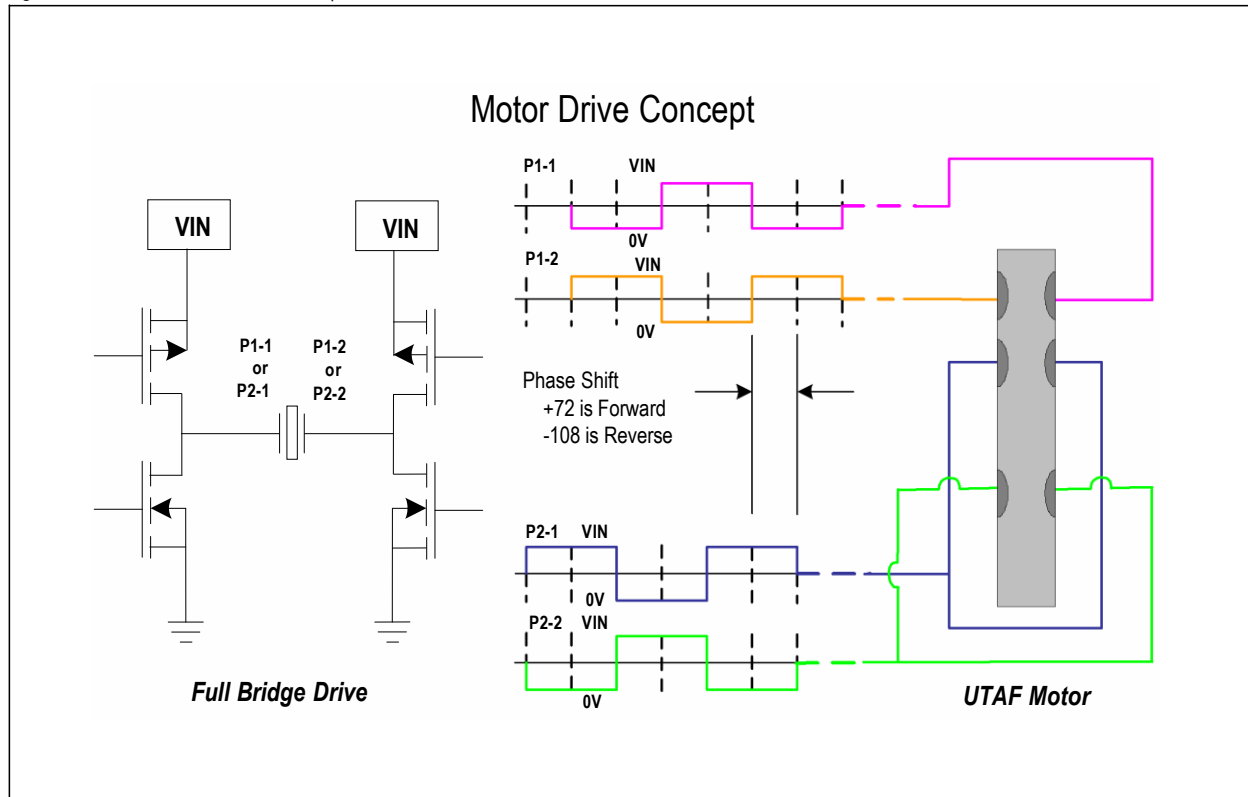


Figure 4. モーター駆動方式 (UTAF Motorの場合)



立ち上がり時間、立ち下がり時間、の定義を下図に示します。

Figure 5. Rise / Fall Time の定義

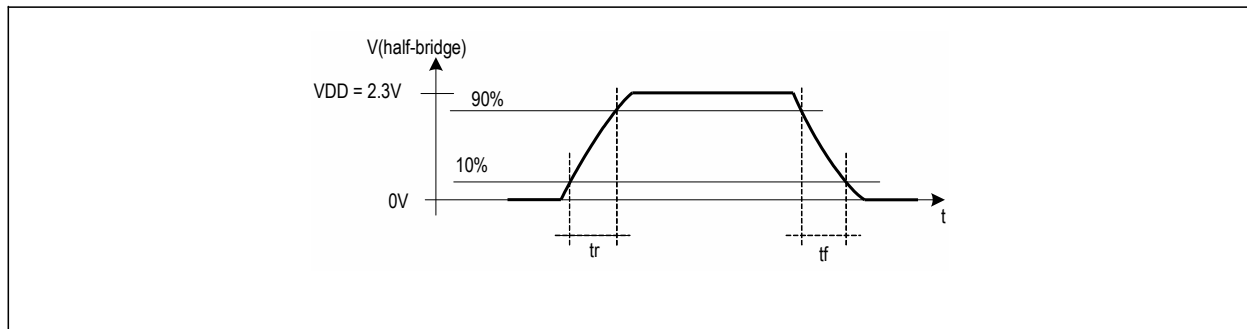
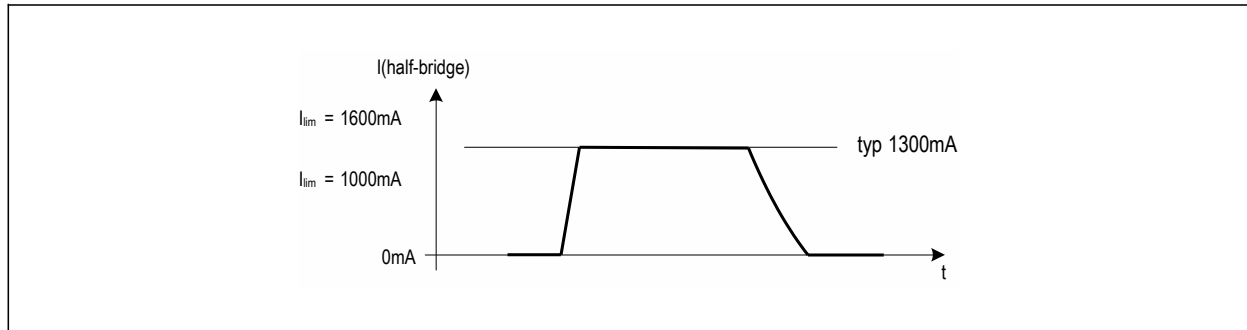


Figure 6,に 出力ドライバーでの電流制限値を示します。

Figure 6. 出力電流制限



7.2 消費電力低減制御

電力消費を低減するために次のような技術を採用しています。

- 電源電圧によりハーフブリッジに切り替える。
- フルブリッジの場合、突入電流制御を行う。
- フルブリッジの場合、ハイブリッド制御を行う。

Table 7. 消費電力低減制御

Symbol	Parameter	Conditions	Min	Typ	Max	Units
Selectable half-bridge						
HB _{thr}	Rising Threshold	ハーフブリッジ動作可に設定すると、電源電圧によってハーフブリッジが選択されます。消費電力はフルブリッジに比較し 25%まで低減されます。VDDが 5.0V以上の場合には常にハーフブリッジが選択され、最大消費電力 1Wを超えないように制御されます。動作選別判定値には 100mVのゆとりを見ており、動作の安定を確保しています。	4.3	4.5	4.7	V
HB _{thf}	Falling Threshold		4.2	4.4	4.6	V
Selective charge control for full-bridge						
SCCPDS	Power dissipation saving	フルブリッジ動作の場合に突入電流を制限する方式を採用し、消費電力を低減します。	30		50	%
Hybrid Control for full-bridge						
PSPDS	Power dissipation saving	ハイブリッド制御により、フルブリッジとハーフブリッジとを適時に切り替えることで消費電力を低減します。この方式は速度制御にも採用されています。			75	%

7.3 自動周波数追尾

駆動周波数の初期設定値はモーターの型式毎に決定されており、レジスターに記録されます。周波数は、その逆数の周期で記録され、単位は 0.04 μsec (VCO 周波数 25 MHz に対応) です。SQL-RV-1.8 モーターの場合は、周期 148 (94h) で、ほぼ ~168.9 kHz に設定します。

NSD-2101 の動作開始以降は、動作周波数の最適値に設定するため自動周波数追尾が実行されます。コマンドにより、周波数を一定方向に変化させつつ最適動作点を探す方法も選択できます。(sweep mode or incremental mode)

いずれの場合でも周波数調整はVCO調整で行い、周期を変更することはありません。VCO調整の方が周波数調整の分解能が高いためです。

上記の動作は、レジスター 02h 及び 03h にパルスカウントが入力された後に開始されます。

(‘Control Register’ in Table 8 on page 10 を参照。)

電源投入時には sweep mode を実行します。追尾周波数の範囲が広いからです。Incremental mode は周波数調整の分解能が高いため、モーターの稼働中に行うと有効です。

7.4 インターフェース : I²C

I²C インターフェースは NSD-2101 の制御に使用され、各レジスターにその値を設定します。これらのレジスター値は駆動方向、駆動パルス継続期間、デューティサイクル、位相変化、駆動電圧、などを決定します。

Start/Stop 条件: SCL; HIGH に於いて SDA が HIGH to LOW に変われば start です。LOW to HIGH は stop です。

SDA 上での各バイトは 8-bits 構成です。各バイトの直後に acknowledge bit を置きます。データは MSB を先頭にします。

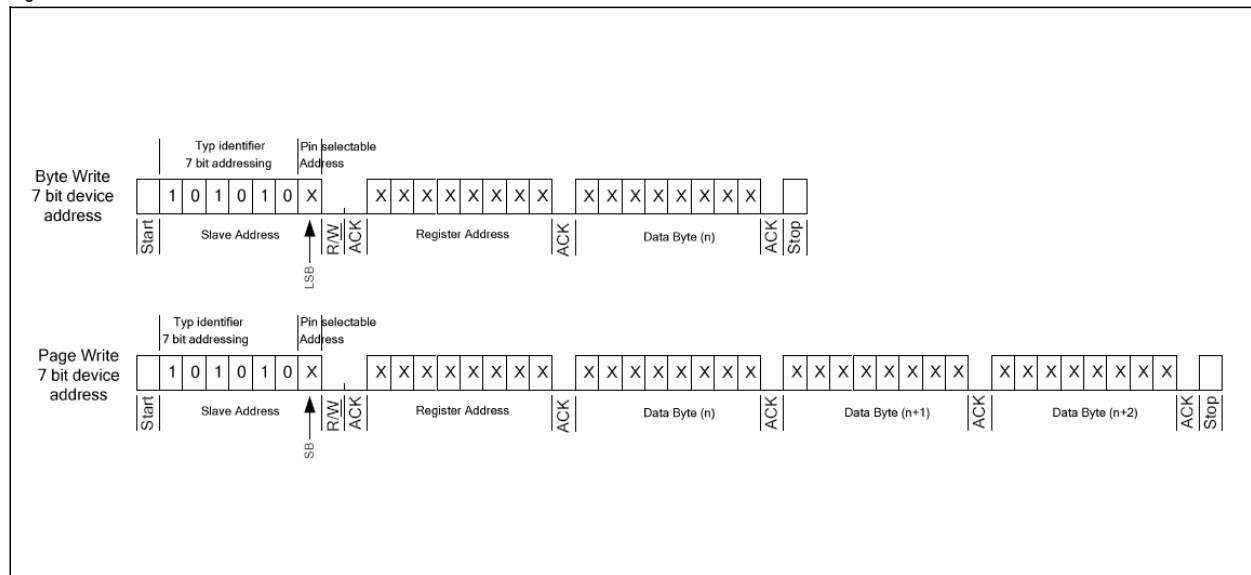
Data 送信は必ず acknowledge を必要とします。Acknowledge に関わるクロックパルスはマスターが供給します。受信端では acknowledge clock pulse の期間は SDA を低電位側に引き込みます。

バスラインの上では NSD-2101 は slave device となります。access mode には 2 種類あります。

- Byte write
- Page write

デバイスアドレスは 7-bit addressing を使用します。先頭の 6 bits は固定です。最後のビットは package pin で定まります。

Figure 7. 7-Bit Device Address



7.5 レジスター配置

次の表に、I²C interface で指定できるレジスターを示します。

Table 8. I²C Registers

Description	Address	Data Byte								Note
		MSB				LSB				
Control Register	00h		PS[1]	PS[0]		CN[1]	CN[0]	P1	P2	
Period count	01h	X	X	X	X	X	X	X	X	
Pulse count (high byte)	02h	P	D	DS[1]	DS[0]		X	X	X	P: Period count MSB; D: Direction bit; DS: Dead time selection bits: '00'=2, '01'=4, '10'=6 and '11'=8 VCO clocks.
Pulse count (low byte)	03h	X	X	X	X	X	X	X	X	
Pulse width	04h	X	X	X	X	X	X	X	X	
Phase shift	05h	X	X	X	X	X	X	X	X	
Period offset	06h	IDL	HB	HYB	DT		X	X	X	CN needs to be 00 to enable Period offset. Period offset is not used when either Incremental or Sweep Frequency Tracking is active. IDL: Sets idle mode; HB: Enable half bridge operation if VDD > HB _{th} ; HYB: Enable hybrid speed control; DT: Enable signal for increased dead time; Selection bits(DS[1:0]) are only valid when DT=1; Selection bits should not be changed when the output driver is active.
Hybrid speed	07h	X	X	X	X	X	X	X	X	Hybrid Speed register: 0... half bridge; 128...full bridge operation; linear transition for values in between; Default: 128. Values from 1 to 127 are used for linear speed control.
Reserved register	10h	X	X	X	X	X	X	X	X	Reserved register used for device test only, not accessible during normal operation.

7.6 コントロール・レジスター

これらのレジスターは周波数 calibration開始 及び駆動phase決定を指定します。

Table 9. Control Register

Control Flag Mask	Abbr	Default	Description
1000 0000		0	Reserved (leave 0)
0100 0000	PS[1]	1	Phase Select for sensing: PS[1] PS[0]: 00=None 01=Phase1 10=Phase2 11= Both Phases
0010 0000	PS[0]	1	
0001 0000		0	

Table 9. Control Register

Control Flag Mask	Abbr	Default	Description
0000 1000	CN[1]	0	Calibrate Now: CN[1] CN[0]: 00=None 01=Incremental 10=Sweep 11=reserved
0000 0100	CN[0]	0	
0000 0010	P1	1	Enable Phase1
0000 0001	P2	1	Enable Phase2

7.7 ピリオドカウンター

ピリオドカウンターは駆動周波数を決定します。パルス周期は内臓VCO周波数を、カウンター上の値で割ることで得られます。Pulse count (high byte) の MSB (p) がピリオドカウンターのMSB となります。

クロックが 25MHz の場合、decimal period counter value が 125 では 200 kHz となります。126 では 198.41 kHz です。周波数変更のステップが 1.59 kHz となっています。これよりも低い周波数の場合には周波数分解能は良くなります。

下記の表にいくつかの例を示しました。(クロックが 25MHz としました。)

Switch frequency は次の式で計算されます。

$$f_D = 25\text{MHz} / \text{period counter value} \quad (\text{EQ 1})$$

Table 10. Period Counter Values

Period Counter Value	Typ	Unit
0 0111 1101	200.00	kHz
0 0111 1110	198.41	kHz
0 1001 0001	172.4	kHz
0 1010 0110	150.60	kHz
0 1010 0111	149.70	kHz
1 1111 0011	50.10	kHz
1 1111 0100	50.00	kHz

7.8 パルスカウンター

パルスカウンターはモーターを駆動する一続きのパルス数を規定します。新しい数値がパルスカウンターに入力されると、内部カウンターが出力パルス数の計数を始めます。ゼロを入力しますと、前回の入力に対するパルス出力が完了していない場合でも、モーターへの駆動出力は停止します。パワーダウンモードを選択した場合も同様に出力停止となります。(Bit 6 in the pulse counter (d) is used to set the direction of motor motion.)

Table 11. Pulse Counter Values

Pulse Counter Value	Typ	Unit	Conditions
XXXX X000 0000 0000	0	pulses	Motor is off, driver outputs are low
XXXX X100 0000 0000	1024	pulses	
XXXX X111 1111 1111	2047	pulses	Maximum possible number of pulses

7.9 パルス幅制御

パルス幅レジスタは出力波形のデューティレシオを決定します。デフォルト値は50%です。00h (XPD= LOW) 下記の表は、クロック25MHz、駆動周波数200kHzの場合の例を示してあります。この値は50.4%以上としないでください。ハーフブリッジ動作の場合に、パルス幅変調によって速度制御が可能です。

Table 12. Pulse Width Register Values

Pulse Width Register	Typ	Unit	Conditions
0000 0000	49.6/50.4	%	default
0000 0001	0.8	%	
0000 1101	10.4	%	
0001 1011	21.6	%	
0011 0101	42.4	%	
0011 1110	49.6	%	
0011 1111	50.4	%	

パルス幅変調の場合、最大速度は50%で得られます。パルス幅を狭めてゆくとモーターの速度は低下しますが、~15%以下では使用しないでください。

7.10 位相制御

このレジスタは2つの出力波形の位相差を制御します。デフォルト値は00hで、位相差は90度です。選択できる位相差の値を下表に示します。これらの数値はクロック、25MHz、駆動周波数、200kHzの場合です。このレジスタの値はピリオドカウンターの値の50.4%以下としないでください。負の位相差はdirection bitをマイナス方向に設定します。
例：-160deg = 20deg and inverted direction bit.

Table 13. Phase Shift Register Values

Phase Shift Register	Typ	Unit	Conditions
0000 0000	90.5	deg	Default (Normal for both SQL and UTAF)
0000 0001	2.88	deg	
0000 1101	37.44	deg	
0000 1110	40.32	deg	
0001 1111	89.28	deg	
0010 0000	92.16	deg	

7.11 ピリオドオフセット

このレジスタの値をピリオドカウンターの値に加えることで駆動周波数を調整します。

周波数自動追尾が停止している場合にのみ有効です。ピエゾモーターには、機械的共振点からずれた周波数が最適値となる場合があるため、このレジスタが設定されました。下表はクロック、25MHz、駆動周波数、200kHzの場合について数値例を示しました。

Table 14. Period Offset Register Values

Period Offset Register	Typ	Unit	Conditions
0000 0000	0	%	Default, no change of drive frequency
0000 0001	-0.8	%	
0000 0010	-1.6	%	

Table 14. Period Offset Register Values

Period Offset Register	Typ	Unit	Conditions
0000 0111	-5.6	%	Maximum period offset
1000 0000	0	%	Idle mode enabled
0100 0000	0	%	Half bridge mode enabled
0010 0000	0	%	Hybrid speed control enabled
0001 0000	0	%	Increased dead time enabled

この表に示したように、このレジスタは Idle mode 等の制御にも使われています。なお、Idle mode よりも消費電力が少ない状態は XPD pin を接地した場合に得られます。

7.12 ハイブリッドスピードレジスタ

このレジスタはモーターに印加される平均電圧を VDD から 2 x VDD の間で変化させる制御を行います。この方法で消費電力の少ない駆動が可能になります。レジスタ値は 0 (half bridge) から 128 (full bridge) までです。平均電圧は下表に示すような値になります。

$$V_{AVG} = VDD + (RegisterValue * VDD / 128) \quad (EQ 2)$$

Where: VDD is the supply voltage

Table 15. Hybrid Speed Register Values

Hybrid Speed Register	Typ	Unit	Conditions
0000 0000	0	%	VDD (half bridge)
0010 0000	25	%	VDD + 0.25 * VDD
0110 0000	75	%	VDD + 0.75 * VDD
1000 0000	100	%	VDD + VDD (full bridge)

8 使用上の参考情報

NSD-2101 は SQL-RV-1.8 SQUIGGLE® RV motorを一台、或いは UTAF motorを一台駆動できます。実装の際の外付け部品を下表に示します。

Table 16. 外付け部品

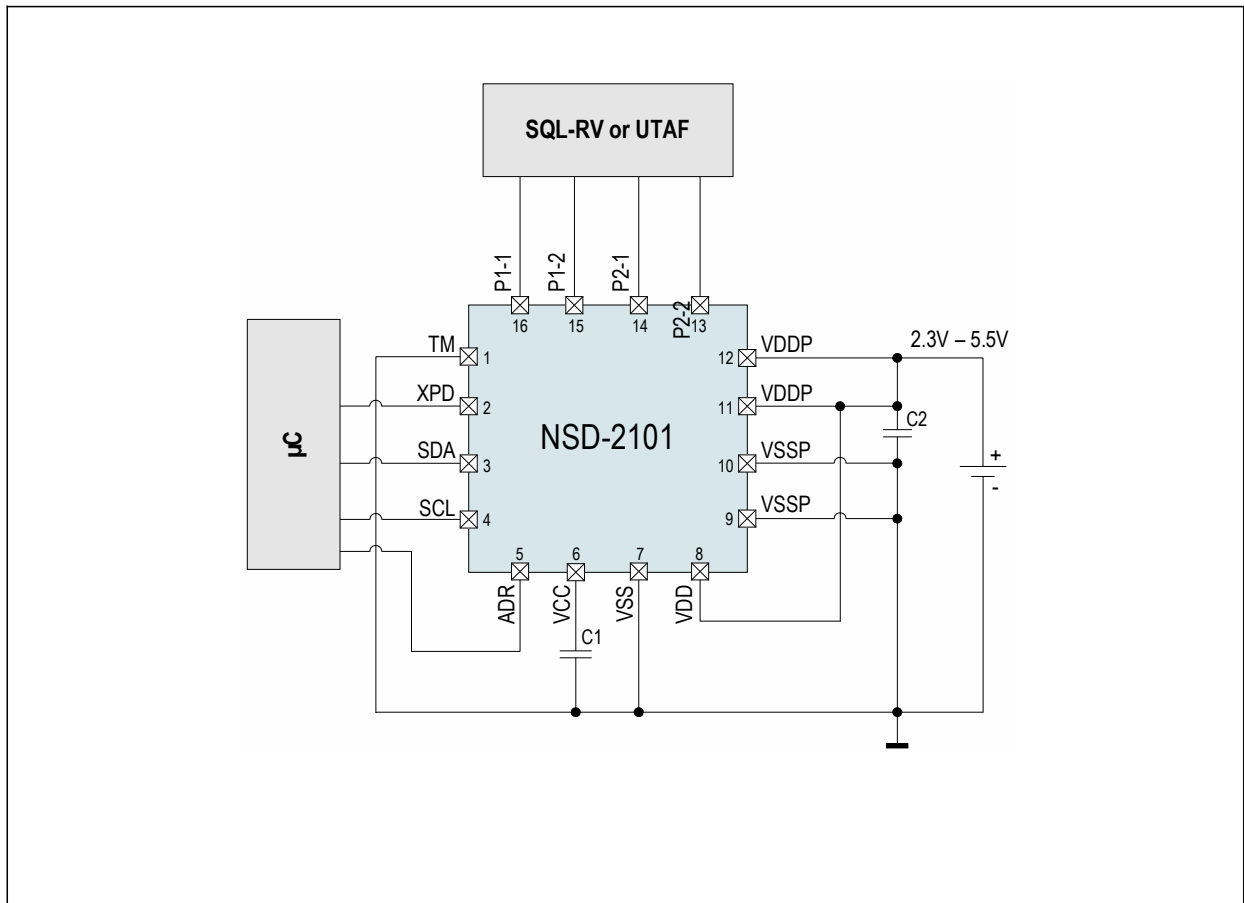
Component	Manufacturer	Part Number	WxLxH [mm]
C1 470nF Cap 4.0V	TAIYO-YUDEN	AMK063BJ474MP-F	(0201)
C2 4.7µF Cap 6.3V	PANASONIC	ECJ-0EB0J475M	For UTAF only (max 35nF) (0402) ¹
C2 10µF Cap 6.3V	PANASONIC	ECJ-1VB0J106M	Full load (0603) ¹

1. A maximum ESR of 100mΩ at motor switching frequency is assumed. The series resistance of the input supply (VDD, VDDP) should be maximum 50mΩ and capable of delivering at least 1W of power. ESR information for C2 is still missing.

New Scale 社より評価キット、MC-33DB-RV をご購入頂けます。

モーターが停止中は XPD を接地してスタンバイモードに出来ます。或いは、外付けのスイッチで電源供給をきる方法もあります。いずれの場合でも SQUIGGLE® RV motorは低消費電力或いは無電力で停止位置を保持します。

Figure 8. NSD-2101



8.1 SQL-RV-1.8 SQUIGGLE を駆動する場合

NSD-2101 とのデータ通信

NSD-2101 のアドレスは 54h で記述されます。(ADR が high の場合は 55h となります。)

I²C 信号は 8 ビットのデータと 1 ビットの acknowledge bit から成り、合計 9 ビットです。デバイスを選択するための信号はそのデバイスのアドレスです。上位の 7 ビットがアドレスで、次のビットは値ゼロとして「書き込み」を指示します。(NSD-2101 は「読み込み」指示は使用できません。)

NSD-2101 に対する最初の 8 SCL (clock) cycles の信号は A8h (ADR が high の場合は AAh) です。NSD-2101 が正しく動作していれば、9 番目のビットで NSD-2101 はデータラインを low とします。(acknowledge).

2 番目のバイトは書き込み先のレジスターを指示します。例えば、パルスカウントを送る場合にはレジスターは 02 です。

その次のバイトの値は書き込まれる値です。それ以降のバイトは、引き続きレジスターに書き込まれます。

例えば、送信信号が **A80277FF** の場合には、レジスター 02 と 03 には 77h と FFh がそれぞれ書き込まれます。

2 台以上の NSD-2101 を駆動する場合

2 台以上の NSD-2101 を一つの I²C bus で駆動する場合は、ADR 信号が IC の選択を行います。すなわち、一台の IC の制御信号のみが low で、その他の IC に対しては high とします。次いで、ADR low の IC に対する信号を送ります。各 IC に対する ADR 信号線を個別に用意するのです。

駆動の仕組み

駆動を行わせるには NSD-2101 に出力パルスを出すように指示します。SQL-RV-1.8 motor の場合には、出力パルス間隔は夫々のモーター固有の共振周波数 (~172 kHz) から ±2kHz の範囲内でなければなりません。

周波数誤差が少ないほど、モーターの速度と駆動力は向上します。このモーターはスクリュウとナットとの摩擦駆動ですから、駆動量は駆動電圧、周波数誤差、モーターへの推力負荷、によって決まります。

駆動パルスを印加後、実際にモーターの運動が始まるまでに 5 ないし 10 パルスが必要です。(負荷の大小により異なります。)

駆動波形は 2 組の方形波で、互いに 90 度の位相差を持っています。(Figure 3) 各方形波は full bridge 又は half bridge 回路からの出力となっています。90 度の位相差の方向により回転方向が定まります。

初期設定ではパルス幅は 50% になっています。(i.e. if register 04 is zero; e.g. pulse width would be 2.9 μsec if the period is 5.8 μsec). このパルス幅を変更することでモーターの速度を制御できます。パルス幅が狭くなると、ねじとナットの当りが弱くなり回転力が下がるからです。

位相差の初期設定は周期の 25% です。(i.e. if register 05 is zero) この値も調整可能です。

full bridge と half bridge の比率を変えることでも速度調整が出来ます。(Hybrid Speed Control) 等価的に駆動電圧を変えたことになるからです。電源電圧が 3V の場合、full bridge では 6V が印加されます。hybrid speed を 33% にしますとモーターには平均的に 4V が印加されたことと同等です。

Note: 熱放散の制限から電源電圧は最大 4.5V となっています。しかし、回路的には 5.5V まで動作しますので、4.5V 以上の場合には half bridge として下さい。このような制限がありますが、hybrid speed control が最も効果的です。それは電圧の切り替え回数が少なく、容量性負荷の駆動に適しているからです。

NSD-2101 への信号

基本信号はパルス数と回転方向です。レジスター 02 と 03 に指示値が書き込まれますと、レジスター 01 の値に対応する周期でパルスを発生します。パルスカウントはパルス発生ごとに減少し、値がゼロになるまで継続します。

[Register Map \(page 10\)](#) と [Pulse Counter \(page 11\)](#) をご参照ください。

パルスカウントの最大値は 2047 (11 bits) です。モーターの駆動時間は 2047 x パルス周期です。周期が 5.8 μsec (172.4 kHz) の場合には駆動時間は ~11.8 msec となります。連続駆動のためには少なくとも 11.7 msec 毎にパルスカウントを追記する必要があります。通常、10 msec 毎に書き込むことをお勧めします。

内臓のVCOは 25MHzですから、周期は 40 nsec単位で決まります。例えば172.4 kHzを発生するには周期は 145 (or 91 hexadecimal)となります。

モーター駆動の周波数は各モーターの共振周波数に出来るだけ近い値をとる必要がありますので、NSD-2101は自動周波数追尾機能を有しており、温度変化などによる共振周波数変化に対応しています。この機能を正しく動作させるために、電源投入時に **frequency sweep calibration** を実行し、ついで **incremental calibration** を行う事をお願いしております。[Frequency Tracking \(page 9\)](#). sweepは一回のみで結構です。その後は **incremental calibration** が自動調整をします。

Note: 周波数較正を実行中に NSD-2101は VCOの微調整により、この方式の動作の最適化を行います。

周波数較正は駆動負荷を押す方向で行ってください。通常、前進方向です。後退方向ですと負荷の追従が一時的に遅れ、次にモーター軸に突き当たり、機械的なチャタリングが発生し、較正值に誤りを生ずる場合があるからです。

Frequency sweep calibration設定値 : SQL-RV-1.8の場合:

Reg	Value (hex)	Comment
00	6B	Enables sweep calibration using both motor phases
01	91	172.4 kHz
02	77	Fwd, DT=11*, Upper 3 bits of pulse count set
03	FF	Lower 8 bits of pulse count set
Actual data stream: A8006B9177FF <i>the host should wait at least 10 msec after start</i>		

Frequency incremental calibration設定値:

Reg	Value (hex)	Comment
00	67	Enables inc. calibration using both motor phases
01	91	172.4 kHz
02	77	Fwd, DT=11*, Upper 3 bits of pulse count set
03	FF	Lower 8 bits of pulse count set
Actual data stream: A800679177FF <i>the host should wait at least 10 msec after start</i>		

通常動作時:

Reg	Value (hex)	Comment
00	63	Using both motor phases, no calibration enabled.
Actual data stream: A80063		

前進 (full count):

Reg	Value (hex)	Comment
02	77	Fwd, DT=11*, Upper 3 bits of pulse count set
03	FF	Lower 8 bits of pulse count set
Actual data stream: A80277FF		

後進 (full count):

Reg	Value (hex)	Comment
02	37	Rev, DT=11*, Upper 3 bits of pulse count set
03	FF	Lower 8 bits of pulse count set
Actual data stream: A80237FF		

モーター停止:

Reg	Value (hex)	Comment
02	00	Direction & DT* don't matter. Zero upper count bits
03	00	Zero lower count bits
Actual data stream: A8020000		

Note: *DT (dead time): Full bridge駆動波形において、プラス側波形とマイナス側波形の立ち上がりの時間差。最大値のDT=11を推奨。消費電力が最小に出来るからです。

8.2 UTAF Motorを駆動する場合

New Scale Technologies 社より詳細なサポートを提供できます。

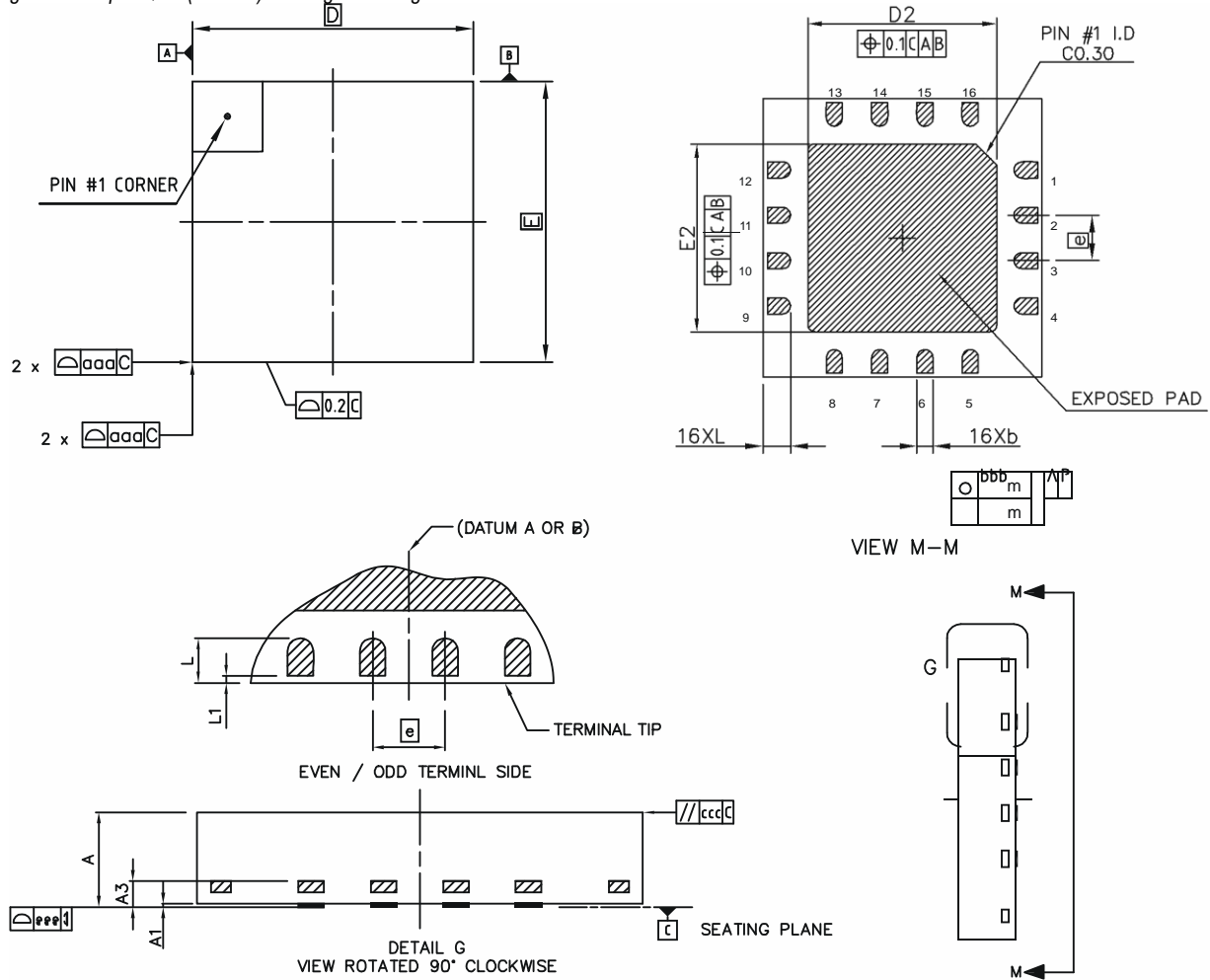
8.3 その他のモーターを駆動する場合

NSD-2101 は SQUIGGLE 或いは UTAF モーターの駆動用に開発されましたが、その他のモーターへの応用技術開発をお引き受けいたしております。費用等に関してはお問い合わせください。

9 外形寸法及び印字

NSD-2101は 16-pin QFN (4x4mm) package または 4-by-4 BGA (1.8x1.8mm) package の 2つのタイプがあります。

Figure 9. 16-pin QFN (4x4mm) Package Drawings and Dimensions



Symbol	Min	Nom	Max
A	0.80	0.85	0.90
A1			0.05
A3	0.203 REF		
b	0.18	0.23	0.28
D	4.00 BSC		
E	4.00 BSC		
D2	2.50	2.70	2.70
E2	2.50	2.70	2.70

Symbol	Min	Nom	Max
e	0.65 BSC		
L	0.35	0.40	0.45
aaa	0.10		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		

Notes:

1. Dimensioning and tolerancing conform to ASME Y14.5M-1994.
2. All dimensions are in millimeters, angles are in degrees.
3. Dimension b applies to metalized terminal and is measured between 0.25mm and 0.30mm from terminal tip. Dimension L1 represents terminal full back from package edge up to 0.1mm is acceptable.
4. Coplanarity applies to the exposed heat slug as well as the terminal.
5. Radius on terminal is optional.

Figure 10. 4-by-4 BGA (1.8x1.8mm) Package Drawings

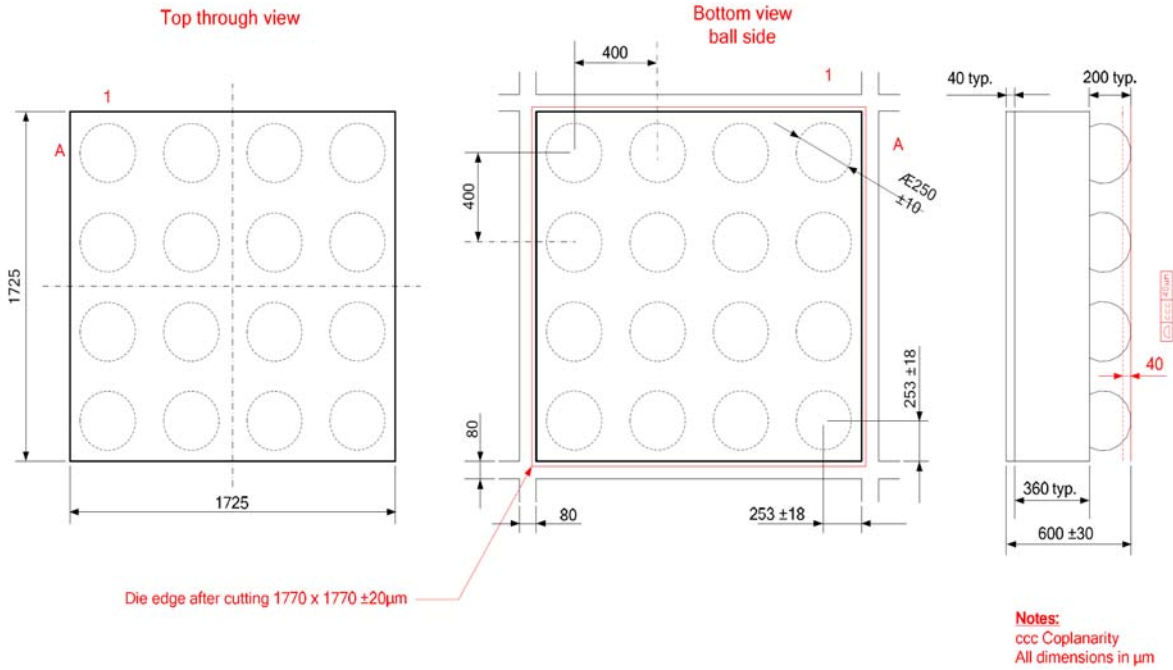
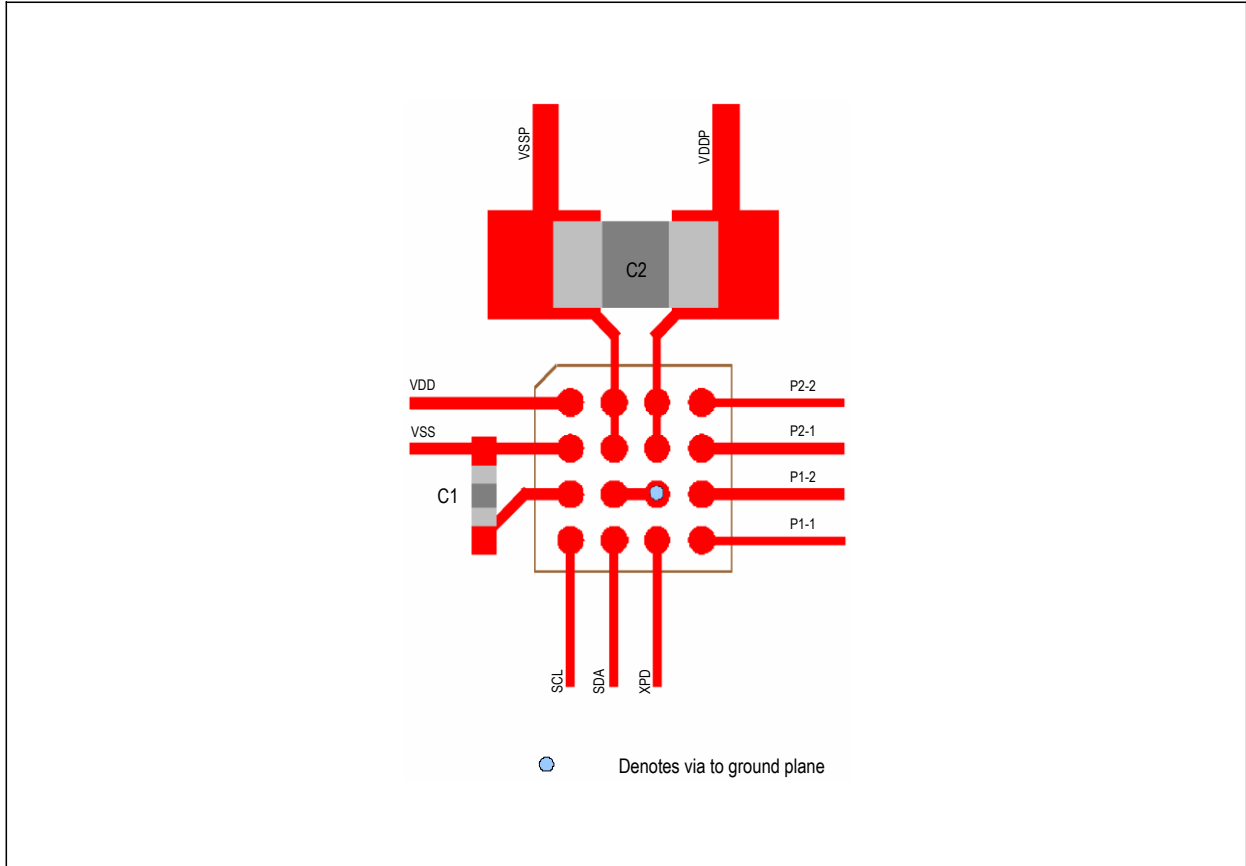


Figure 11. Recommended PCB Layout (Top View)



Revision History

Revision	Date	Owner	Description
0.1	15 Jan, 2010	rweber (NST) / pmo (AMS)	Initial revision
0.2	24 Feb, 2010		Updated Key Features (page 1) , Pin Assignments (page 3)
0.3	16 Jun, 2010		Corrected BGA diagram (see Figure 2), added "Top View" to figure title for clarity (see Figure 11)
0.4	26 Aug, 2010		Updated Table 3 with current consumption info, Corrected info in Figure 4 and Table 10 , Added Section 8.1 , 8.2 and 8.3 .

Note: Typos may not be explicitly mentioned under revision history.

10 発注時の詳細

このドライバーは標準品として販売しております。

Table 17. Ordering Information

Ordering Code	Description	Delivery Form	Package
NSD-2101	Ultrasonic piezo motor driver IC, output for one SQL-RV series reduced voltage SQUIGGLE® RV	Tape & Reel	QFN-16 (4x4mm) or Wafer Level Chip Scale Package

Note: All products are RoHS compliant and Pb-free.

Buy our products or get free samples online at ICdirect: <http://www.austriamicrosystems.com/ICdirect>

For further information and requests, please contact us <mailto:sales@austriamicrosystems.com>
or find your local distributor at <http://www.austriamicrosystems.com/distributor>

Copyrights

Copyright © 1997-2010, austriamicrosystems AG, Tobelbaderstrasse 30, 8141 Unterpemstaetten, Austria-Europe. Trademarks Registered ®. All rights reserved. The material herein may not be reproduced, adapted, merged, translated, stored, or used without the prior written consent of the copyright owner.

All products and companies mentioned are trademarks or registered trademarks of their respective companies.

Disclaimer

Devices sold by austriamicrosystems AG are covered by the warranty and patent indemnification provisions appearing in its Term of Sale. austriamicrosystems AG makes no warranty, express, statutory, implied, or by description regarding the information set forth herein or regarding the freedom of the described devices from patent infringement. austriamicrosystems AG reserves the right to change specifications and prices at any time and without notice. Therefore, prior to designing this product into a system, it is necessary to check with austriamicrosystems AG for current information. This product is intended for use in normal commercial applications. Applications requiring extended temperature range, unusual environmental requirements, or high reliability applications, such as military, medical life-support or life-sustaining equipment are specifically not recommended without additional processing by austriamicrosystems AG for each application. For shipments of less than 100 parts the manufacturing flow might show deviations from the standard production flow, such as test flow or test location.

The information furnished here by austriamicrosystems AG is believed to be correct and accurate. However, austriamicrosystems AG shall not be liable to recipient or any third party for any damages, including but not limited to personal injury, property damage, loss of profits, loss of use, interruption of business or indirect, special, incidental or consequential damages, of any kind, in connection with or arising out of the furnishing, performance or use of the technical data herein. No obligation or liability to recipient or any third party shall arise or flow out of austriamicrosystems AG rendering of technical or other services.



Contact Information

Headquarters

austriamicrosystems AG
Tobelbaderstrasse 30
A-8141 Unterpemstaetten, Austria

Tel: +43 (0) 3136 500 0
Fax: +43 (0) 3136 525 01

For Sales Offices, Distributors and Representatives, please visit:

<http://www.austriamicrosystems.com/contact>



Contact Information

New Scale Technologies, Inc.
121 Victor Heights Parkway
Victor, NY 14564

Tel: +1 585 924 4450
Fax: +1 585 924 4468

sales@newscaletech.com

www.newscaletech.com